

日本国特許庁
JAPAN PATENT OFFICE

14. 9. 2004

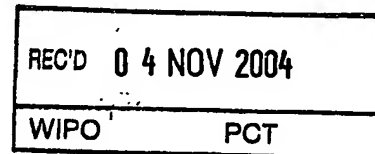
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年10月30日

出願番号
Application Number: 特願2003-370267
[ST. 10/C]: [JP 2003-370267]

出願人
Applicant(s): 株式会社村田製作所

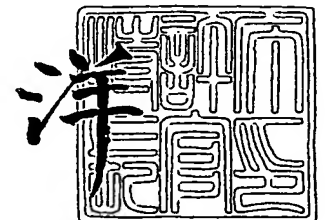


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年10月22日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 103081
【提出日】 平成15年10月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01C 7/02
H01C 7/18

【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
【氏名】 新見 秀明

【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
【氏名】 安藤 陽

【特許出願人】
【識別番号】 000006231
【氏名又は名称】 株式会社村田製作所
【代表者】 村田 泰隆

【代理人】
【識別番号】 100085143
【弁理士】
【氏名又は名称】 小柴 雅昭
【電話番号】 06-6779-1498

【手数料の表示】
【予納台帳番号】 040970
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項 1】

正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなる複数の積層されたセラミック層と、前記セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタであって、

前記内部電極間に位置する前記セラミック層の 1 層の厚みを X [μm] とし、前記チタン酸バリウム系半導体セラミックに含まれるドナー量 Y [%] を (ドナー原子数 / Ti 原子数) $\times 100$ で表わしたとき、

$$5 \leq X \leq 18、かつ$$

$$4 \leq X \cdot Y \leq 10$$

の条件を満たす、積層型正特性サーミスタ。

【請求項 2】

正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなりかつ複数の積層されたセラミック層と、前記セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタの設計方法であって、

前記セラミック層の厚み X [μm] を、 $5 \leq X \leq 18$ の条件を満たすように決定する工程と、

前記チタン酸バリウム系半導体セラミックに含まれるドナー量 Y [%] ($Y = (\text{ドナー原子数} / \text{Ti 原子数}) \times 100$) を前記セラミック層の厚み X に応じて $4 \leq X \cdot Y \leq 10$ の条件を満たすように決定する工程と

を備える、積層型正特性サーミスタの設計方法。

【書類名】明細書

【発明の名称】積層型正特性サーミスタおよびその設計方法

【技術分野】

【0001】

この発明は、積層型正特性サーミスタおよびその設計方法に関するもので、特に、チタン酸バリウム系半導体セラミックを用いて構成される積層型正特性サーミスタおよびその設計方法に関するものである。

【背景技術】

【0002】

チタン酸バリウム (BaTiO_3) 系半導体セラミックは、正特性サーミスタを構成するために広く用いられている。このような正特性サーミスタの用途拡大のため、その低抵抗化が積極的に進められている。低抵抗化を図るため、用いられる BaTiO_3 系半導体セラミックについて、比抵抗のより低い材料の開発に加えて、正特性サーミスタを積層化する試みもなされている（たとえば、特許文献1参照）。

【0003】

図1は、この発明にとって興味ある正特性サーミスタを示す断面図である。図1には、積層化された、すなわち積層型の正特性サーミスタ1が示されている。

【0004】

図1を参照して、積層型正特性サーミスタ1は、正の抵抗温度特性を示す BaTiO_3 系半導体セラミックからなる複数の積層されたセラミック層2と、セラミック層2間の複数の界面にそれぞれ沿って形成された内部電極3とからなる、積層構造を有する素子本体4を備えている。

【0005】

また、素子本体4の両端部には、外部電極5がそれぞれ形成されている。上述した内部電極3は、一方の外部電極5に電氣的に接続されるものと他方の外部電極5に電氣的に接続されるものとが積層方向に関して交互に配列されている。

【0006】

上述した積層型正特性サーミスタ1において、内部電極3は、多くの場合、ニッケルを含んでいる。なぜなら、ニッケルは比較的安価であるとともに、セラミック層2に対してオーミック性を与えることができるからである。

【0007】

また、外部電極5は、たとえば銀を導電成分として含んでいる。

【0008】

このような積層型正特性サーミスタ1を製造するため、次のような工程が実施される。

【0009】

まず、セラミック層2となるべきものであって、 BaTiO_3 系半導体セラミックのためのセラミック原料粉末を含むセラミックグリーンシートが用意される。

【0010】

次に、セラミックグリーンシート上に、内部電極3となるニッケルを含む導電性ペーストからなる膜が印刷法等によって形成される。

【0011】

次に、導電性ペースト膜が形成された複数のセラミックグリーンシートを積み重ねるとともに、その上下に、導電性ペースト膜が形成されていない保護用のセラミックグリーンシートを積み重ね、これらセラミックグリーンシートを圧着し、その後、必要に応じて、所定の寸法にカットされる。これによって、素子本体4の生の状態のものが得られる。

【0012】

次に、上述した内部電極3のための導電性ペースト膜に含まれるニッケルが酸化されない還元性雰囲気中で、生の素子本体4が焼成される。これによって、セラミック層2となるセラミックグリーンシートが焼結するとともに、内部電極3となる導電性ペーストが焼結される。

【0013】

次に、外部電極5を形成するため、焼結後の素子本体4の両端部上に、たとえば銀を含む導電性ペーストが付与され、大気中において、これが焼き付けられる。

【0014】

上述の焼付け工程は、焼結後の素子本体4に対する再酸化処理を兼ねるもので、これによって、セラミック層2にサーミスタ特性が与えられる。

【0015】

このようにして、積層型正特性サーミスタ1が得られる。

【特許文献1】特開2002-43103号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

上述したような積層型正特性サーミスタ1によれば、素子本体4を積層構造とすることにより、セラミック層2の1層あたりの厚みが薄くなり、それによって、低抵抗化が図られる。

【0017】

しかしながら、従来、セラミック層2の各々の厚みを薄くしても、実際には、計算どおりに低抵抗化できないという問題に遭遇することがある。

【0018】

図1を参照しながら具体的に説明すると、平面寸法が2.0mm×1.2mmの素子本体4において、厚み100 μ mのセラミック層2を10層積層した場合に、2 Ω の室温抵抗が得られたとする。これに対して、セラミック層2の厚みを1/10の10 μ mとし、10倍の100層積層した場合、計算上では、0.02 Ω の室温抵抗が得られるはずであるが、実際には、0.28 Ω 程度しか得られないことがある。

【0019】

また、上述のように計算値からずれる傾向は、セラミック層2の厚みが18 μ m以下になるほど顕著に現れる。そのため、セラミック層2を薄層化しても、低抵抗化されないことさえある。

【0020】

そこで、この発明の目的は、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができる、積層型正特性サーミスタを提供しようとすることである。

【0021】

この発明の他の目的は、上述のような要望を満たし得る、積層型正特性サーミスタの設計方法を提供しようとすることである。

【課題を解決するための手段】

【0022】

本件発明者は、積層型正特性サーミスタを製造するために実施される生の素子本体の焼成工程において、内部電極に含まれるニッケルが、内部電極の近傍においてセラミック層へと拡散し、この拡散したニッケルがアクセプターとして作用すること、ならびに、セラミック層が薄層化されればされるほど、内部電極近傍でのニッケルの拡散の影響が大きくなり、そのため、セラミック層が高抵抗化されることによって、積層型正特性サーミスタの低抵抗化が阻害されることを見出し、この発明をなすに至ったものである。

【0023】

この発明では、簡単に言えば、セラミック層を構成するチタン酸バリウム系半導体セラミックに含まれるドナーがニッケルのアクセプターとしての作用を打ち消すことに着目して、このドナー量を所定の範囲に規定することにより、低抵抗化を阻害する要因を取り除こうとしている。

【0024】

より詳細には、この発明は、正の抵抗温度特性を示すチタン酸バリウム系半導体セラミ

ックからなる複数の積層されたセラミック層と、セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタにまず向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

【0025】

すなわち、内部電極間に位置するセラミック層の1層の厚みを X [μm]とし、チタン酸バリウム系半導体セラミックに含まれるドナー量 Y [%]を(ドナー原子数/ Ti 原子数) $\times 100$ で表わしたとき、 $5 \leq X \leq 18$ 、かつ $4 \leq X \cdot Y \leq 10$ の条件を満たすことを特徴としている。

【0026】

この発明は、また、正の抵抗温度特性を示すチタン酸バリウム系半導体セラミックからなる複数の積層されたセラミック層と、セラミック層間の複数の界面にそれぞれ沿って形成されかつニッケルを含む内部電極との積層構造を有する素子本体を備えた、積層型正特性サーミスタの設計方法にも向けられる。

【0027】

この発明に係る積層型正特性サーミスタの設計方法は、セラミック層の厚み X [μm]を、 $5 \leq X \leq 18$ の条件を満たすように決定する工程と、チタン酸バリウム系半導体セラミックに含まれるドナー量 Y [%] ($Y = \text{ドナー原子数} / \text{Ti 原子数} \times 100$)をセラミック層の厚み X に応じて $4 \leq X \cdot Y \leq 10$ の条件を満たすように決定する工程とを備えることを特徴としている。

【発明の効果】

【0028】

以上のように、この発明に係る積層型正特性サーミスタによれば、あるいはこの発明に係る設計方法に従って製造された積層型正特性サーミスタによれば、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができる。

【発明を実施するための最良の形態】

【0029】

この発明を、その実施形態に従って説明するため、前述した図1を再び参照する。すなわち、図1は、この発明の一実施形態による積層型正特性サーミスタ1を示す図でもある。したがって、図1を参照して前述した積層型正特性サーミスタ1の構造および製造方法に関する説明は、基本的には、この発明の実施形態の説明において援用することができるので、重複する説明は省略する。

【0030】

図1を参照して、この発明は、まず、セラミック層2の1層の厚み X [μm]が $5 \leq X \leq 18$ の条件を満たす場合に適用される。すなわち、セラミック層2の1層の厚み X が $5 \mu\text{m}$ 以上かつ $18 \mu\text{m}$ 以下の場合に適用される。

【0031】

上述のような積層型正特性サーミスタ1において、セラミック層2を構成する BaTiO_3 系半導体セラミックに含まれるドナー量 Y [%]を(ドナー原子数/ Ti 原子数) $\times 100$ で表わしたとき、 $4 \leq X \cdot Y \leq 10$ の条件を満たすようにされる。簡単に言えば、セラミック層2の厚み X を薄くするに従って、ドナー量 Y を増すようにされる。

【0032】

上述した $4 \leq X \cdot Y \leq 10$ の条件は、後述する実験例によって得られた結果に基づいて求められたものである。この実験例からわかるように、 $4 \leq X \cdot Y \leq 10$ の条件を満たすように、ドナー量 Y を多めとすることによって、セラミック層に拡散したニッケルのアクセプターとしての作用を効果的に打ち消すことができ、セラミック層2の厚み X を $18 \mu\text{m}$ 以下に薄くした場合に低抵抗化しにくくなるという問題を解決することができる。

【0033】

$4 \leq X \cdot Y \leq 10$ の条件を外れて、ドナー量 Y が過剰になると、セラミック層2におい

てサーミスタ特性すなわち抵抗が正の温度係数を持つという特性が低下してしまう。他方、ドナー量 Y が $4 \leq X \cdot Y \leq 10$ の条件より少ないと、ニッケルのアクセプターとしての作用を十分に打ち消すことができず、低抵抗化が困難になる。

【0034】

なお、 $BaTiO_3$ 系半導体セラミックに含まれるドナーとしては、たとえば、 La 、 Sm などの希土類元素、あるいは Nb 、 Sb などの5価元素などがある。

【0035】

次に、この発明の範囲を求めるために実施した実験例について説明する。

【0036】

なお、この実験例では、 Ni を含む内層と Ag を含む外層とからなる外部電極を備える積層型正特性サーミスタを作製した。

【0037】

まず、 $BaCO_3$ 、 TiO_2 および Sm_2O_3 の各粉末を出発原料として、表1に示すような種々のドナー量 Y [%] を有する $BaTiO_3$ 系半導体セラミックを得るため、($Ba_{1-z}Sm_z$) TiO_3 における「 Z 」を種々に異ならせた調合比をもって、上述した出発原料を調合した。

【0038】

次に、上述のように調合された各試料に係る出発原料粉末に、純水を加えて、ジルコニアボールとともに5時間混合粉碎処理を実施し、乾燥工程の後、各出発原料粉末を 1150°C の温度で2時間仮焼した。

【0039】

次に、得られた仮焼粉に、有機バインダ、分散剤および水を加えて、ジルコニアボールとともに数時間混合処理を実施し、得られたスラリーをシート状に成形することによって、セラミックグリーンシートを得た。この工程において、セラミックグリーンシートとして、焼成後の厚み X が表1に示す値となるように、種々の厚みのものを作製した。

【0040】

次に、セラミックグリーンシート上に、印刷法によって、ニッケルを含む導電性ペーストを付与し、内部電極となる導電性ペースト膜を形成した。

【0041】

次に、導電性ペースト膜がセラミックグリーンシートを介して互いに対向するように、複数のセラミックグリーンシートを積み重ねるとともに、その上下に、内部電極となる導電性ペースト膜が形成されていない保護用のセラミックグリーンシートを積み重ね、これらを圧着し、次いで、焼成後の寸法で $2.0\text{mm} \times 1.25\text{mm}$ となるようにカットして、生の素子本体を得た。

【0042】

上述の生の素子本体を得る工程において、表1に示したすべての試料について、焼成後の厚みが 1.2mm となるように、各試料において用いられたセラミックグリーンシートの厚みに応じて積層数を変更した。

【0043】

次に、生の素子本体の両端部上に、ニッケルを含む導電性ペーストを付与し、乾燥させた。

【0044】

次に、生の素子本体を、 $H_2/N_2 = 3\%$ の還元性雰囲気下において 1170°C の温度で焼成した。これによって、生の素子本体を構成するセラミックグリーンシートおよび導電性ペースト膜が焼結し、セラミック層および内部電極からなる焼結後の素子本体が得られ、また、生の素子本体の両端部上に付与された導電性ペーストが焼結し、外部電極のための焼結後の内層が得られた。

【0045】

次に、焼結後の素子本体の両端部上に形成された外部電極のための内層上に、銀を含む導電性ペーストを付与し、乾燥させ、大気中において 700°C の温度でこれを焼き付けた。

。これによって、外部電極のための外層が得られた。また、同時に、セラミック層が再酸化処理され、サーミスタ特性がセラミック層に与えられた。

【0046】

このようにして得られた各試料に係る積層型正特性サーミスタについて、表1に示すように、室温抵抗値およびサーミスタ特性を4端子法によってそれぞれ測定した。

【0047】

なお、表1には、室温抵抗値のほかに、室温抵抗の計算値および室温抵抗値の計算値に対する比も示されている。計算値は、表1に示した各試料のBaTiO₃系半導体セラミックの組成をもってセラミック層を厚み100μmというように十分に厚い層として積層した場合の比抵抗値から、各試料における厚みにした場合に得られる値を計算によって求めたものである。

【0048】

また、表1に示したサーミスタ特性は、250℃の温度下で測定した抵抗値R₂₅₀と25℃の温度下で測定した抵抗値R₂₅との比率R₂₅₀/R₂₅を求め、その対数log(R₂₅₀/R₂₅)から、比率R₂₅₀/R₂₅の桁数を求めたものである。

【0049】

【表1】

試料番号	Y [%]	厚みX [μm]	X・Y	室温抵抗値 [Ω]	計算値 [Ω]	計算値との比	サーミスタ特性 log(R ₂₅₀ /R ₂₅)
* 1	0.15	15	2.3	0.8	0.197	4.1	3.5桁
* 2	0.2	15	3	0.5	0.141	3.6	3.6桁
3	0.27	15	4	0.3	0.113	2.7	3.5桁
4	0.4	15	6	0.23	0.118	1.9	3.4桁
5	0.67	15	10	0.23	0.124	1.9	3.3桁
* 6	0.8	15	12	0.35	0.129	2.7	2.7桁
* 7	0.24	25	6	0.6	0.359	1.7	3.5桁
8	0.33	18	6	0.29	0.162	1.8	3.5桁
9	0.4	15	6	0.23	0.118	1.9	3.4桁
10	0.6	10	6	0.12	0.055	2.2	3.4桁
11	0.86	7	6	0.07	0.028	2.5	3.3桁
12	1.2	5	6	0.04	0.015	2.7	3.2桁
* 13	1.5	4	6	0.03	0.010	3.0	2.8桁

【0050】

表1において、試料番号に*を付したものは、この発明の範囲外のものである。

【0051】

表1において、室温抵抗値が0.3Ω以下であり、計算値との比が3.0より小さく、さらに、サーミスタ特性が3.0桁以上のものを、この発明の範囲内の試料としている。

【0052】

表1に示した結果から、いずれの試料であっても、室温抵抗値は計算値より高い値を示しているが、この発明の範囲内にある試料によれば、薄層化により、計算値により近い値をもって低抵抗化できることがわかる。

【0053】

また、表1において、試料間の比較を容易にするため、「厚みX [μm]」が「15」というように同じである試料が、試料1～6のグループとして表示され、「X・Y」が「6」というように同じである試料が、試料7～13のグループとして表示されている。な

お、このような試料のグループ化の結果、試料 1～6 のグループに属する試料 4 と試料 7～13 のグループに属する試料 9 とは、互いに同じものとなっている。

【0054】

試料 7～13 の間で比較すると、これらは「 $X \cdot Y$ 」が互いに同じであるが、厚み X については、試料 7 では $25 \mu\text{m}$ 、試料 8 では $18 \mu\text{m}$ 、試料 9 では $15 \mu\text{m}$ 、試料 10 では $10 \mu\text{m}$ 、試料 11 では $7 \mu\text{m}$ 、試料 12 では $5 \mu\text{m}$ 、試料 13 では 4 というように、試料 7～13 の順序でより薄層化されている。このような場合において、試料 8 以降のように、特に、厚み X が $18 \mu\text{m}$ 以下とされたとき、厚み X がより薄くなるほど、計算値との比がより大きくなり、室温抵抗値が計算値からより大きくずれる傾向があるが、「 $X \cdot Y$ 」が $4 \leq X \cdot Y \leq 10$ の条件を満たしているので、計算値との比を比較的 low に保ちながら、薄層化に伴い、順調に低抵抗化することが可能になる。

【0055】

他方、試料 1～6 の間で比較すると、これらは「厚み X 」が互いに同じであるが、ドナー量「 Y 」を互いに異ならせることによって、「 $X \cdot Y$ 」については、試料 1 では 2.3、試料 2 では 3、試料 3 では 4、試料 4 では 6、試料 5 では 10、試料 6 では 12 というように、試料 1～6 の順序でより大きくなるようにされている。このような場合において、試料 3～5 のように、「 $X \cdot Y$ 」が $4 \leq X \cdot Y \leq 10$ の条件を満たしているとき、計算値との比を 3.0 より小さく保ちながら、低抵抗化することが可能になる。

【0056】

なお、厚み X が $18 \mu\text{m}$ を超えると、計算値との比を小さくすることができるが、たとえば試料 7 のように、室温抵抗値自体が 0.3Ω を超える 0.6Ω となり、十分な低抵抗化が不可能であるという問題がある。また、厚み X が $5 \mu\text{m}$ 未満になると、 $X \cdot Y$ の値を $4 \leq X \cdot Y \leq 10$ の範囲内としても、たとえば試料 13 のように、良好なサーミスタ特性が得られなくなる。

【0057】

以上説明した実験例の結果から、セラミック層の 1 層の厚み $X [\mu\text{m}]$ を $5 \leq X \leq 18$ としたとき、セラミック層を構成する BaTiO_3 系半導体セラミックに含まれるドナー量 $Y [\%]$ が $4 \leq X \cdot Y \leq 10$ の条件を満たすようにすれば、セラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができることがわかる。

【0058】

したがって、上述のような条件は、積層型正特性サーミスタを設計する場合にも利用することができる。

【0059】

すなわち、この設計方法において、セラミック層の厚み $X [\mu\text{m}]$ を $5 \leq X \leq 18$ の条件を満たす範囲で決定すれば、セラミック層を構成する BaTiO_3 系半導体セラミックに含まれるドナー量 $Y [\%]$ をセラミック層の厚み X に応じて $4 \leq X \cdot Y \leq 10$ の条件を満たすように決定すればよい。

【図面の簡単な説明】

【0060】

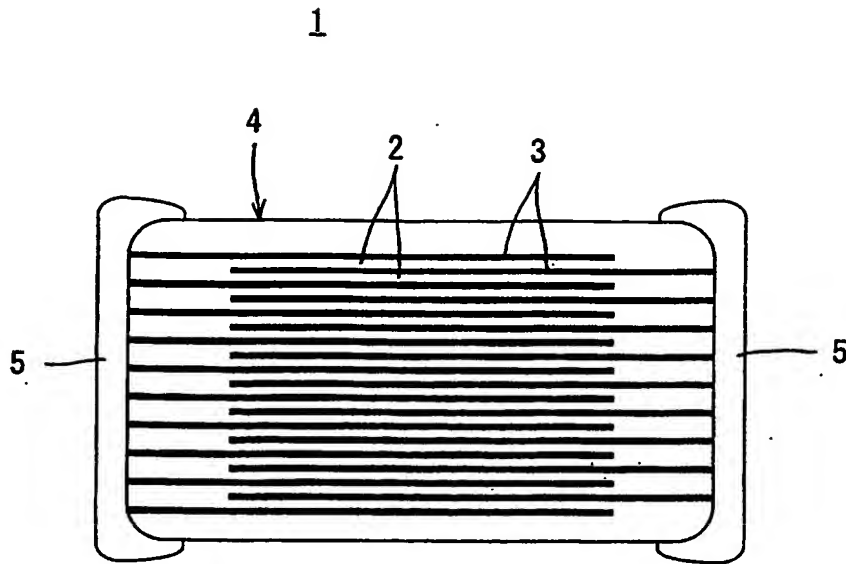
【図 1】この発明にとって興味ある積層型正特性サーミスタ 1 を示す断面図である。

【符号の説明】

【0061】

- 1 積層型正特性サーミスタ
- 2 セラミック層
- 3 内部電極
- 4 素子本体

【書類名】 図面
【図 1】



【書類名】要約書

【要約】

【課題】 BaTiO₃ 系半導体セラミックからなるセラミック層の薄層化に伴い確実に低抵抗化でき、しかも積層構造から計算される抵抗値に近い抵抗値を得ることができる、積層型正特性サーミスタを提供する。

【解決手段】 内部電極3間に位置するセラミック層2の1層の厚みをX [μ m] とし、セラミック層2を構成するBaTiO₃ 系半導体セラミックに含まれるドナー量Y [%] を (ドナー原子数/Ti原子数) \times 100で表わしたとき、 $5 \leq X \leq 18$ 、かつ $4 \leq X \cdot Y \leq 10$ の条件を満たすようにする。

【選択図】 図1

特願 2 0 0 3 - 3 7 0 2 6 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所